

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁸ G09G 3/36	(11) 공개번호 (43) 공개일자	특1998-083650 1998년 12월 05일
(21) 출원번호 (22) 출원일자	특1997-019027 1997년 05월 16일	
(71) 출원인	엘지전자 주식회사 구자홍	
(72) 발명자	서울특별시 영등포구 여의도동 20번지 신민철	
(74) 대리인	경상북도 구미시 비산동 489-1 전원 리빙필 아파트 101-208호 백승남, 나천열	

심사청구 : 있음

(54) 액정표시장치의 구동회로

요약

본 발명은 액정표시장치의 구동회로에 관한 것이다. 특히 액정표시장치에 영상신호를 인가하기 위하여 신호선구동IC에 영상신호를 래치시키는 데 있어서, 구동주파수를 낮출 수 있는 구동회로에 관한 것이다.

종래의 액정표시장치는 구동주파수가 높아 신호선구동IC에 전기적 부하가 많이 걸려 동작이 불안정하며 더블뱅크(double bank)구조로 신호선구동IC를 설치하거나, 액정표시장치의 표시영역을 둘로 분할하여 각 분할된 영역의 신호선에 연결된 신호선구동IC에 동시에 영상신호를 래치시키는 방법을 사용했었다. 그래서, 액정표시장치의 기관의 효율이 떨어지고, 영상신호의 분할에 따른 메모리가 많이 필요했었다.

본 발명은 액정표시장치의 표시영역을 신호선구동IC의 개수의 영역으로 분할하고, 각 영역을 복수개의 블록으로 묶는다. 그리고, 콘트롤러IC는 제1클럭에 동기하여 외부로부터 입력되는 영상신호를 각 블록에 상기 제1클럭의 두배이상의 주기를 갖는 제2클럭에 동기하여 동시에 인가한다. 그래서, 영상신호는 각 블록에 연결된 신호선구동IC에 상기 제2클럭에 동기하여 동시에 래치된다. 그러므로, 본 발명은 종래보다 낮은 구동주파수로 신호선구동IC를 구동시킬 수 있다. 본 발명의 구동회로는 싱글뱅크 구조의 액정표시장치를 구성할 수 있어 기관의 효율이 높아지며 분할구동 액정표시장치에 비해 작은 메모리를 내장한 구동회로를 설계할 수 있다.

도면

도1

명세서

도면의 간단한 설명

- 도1은 일반적인 액정표시장치의 구조의 일부를 나타낸 사시도이다.
- 도2는 액정표시장치의 하판의 구조를 나타낸 개략도이다.
- 도3은 액정표시장치의 신호선구동IC가 액정표시장치에 구성된 모양을 나타낸 것이다.
- 도4는 분할구동 액정표시장치를 나타낸 것이다.
- 도5는 더블뱅크(double bank) 구조의 액정표시장치를 나타낸 것이다.
- 도6은 본 발명의 액정표시장치를 개략적으로 나타낸 것이다.
- 도7은 본 발명의 액정표시장치 구동회로를 나타낸 블록도이다.
- 도8는 본 발명의 구동회로에 인가되는 신호의 파형을 나타낸 것이다.
- 도9는 본 발명의 또다른 실시예를 나타낸 것이다.
- 도10은 도9의 액정표시장치와 구동회로에 인가되는 신호의 파형을 나타낸 것이다.

도면의 기호설명

- 10 : 주사선구동IC11 : 신호선구동IC12 : 액정패널
- 13 : 박막트랜지스터14 : 주사선15 : 신호선
- 16 : 화소17 : 콘트롤러IC18 : 공통배선

20 : 편광판 21 : 제2기판(상판) 22 : 칼라필터
 23 : 공통전극 24 : 액정 25 : 제1기판(하판)
 26 : 화소전극 30 : A영역의 신호선구동 IC
 31 : B영역의 신호선구동 IC
 32 : 홀수열의 신호선구동 IC
 33 : 짝수열의 신호선구동 IC
 100 : 액정패널의 표시영역(분리된 영역)
 110 : 콘트롤러 IC 120 : 신호선구동 IC
 130 : 신호선 200 : 클럭제어수단 210 : 신호제어수단
 220 : 신호인가수단 230 : 신호저장수단 240 : 제1신호선구동수단
 250 : 제2신호선구동수단 260 : 제3신호선구동수단
 270 : 한 조의 제1신호선구동수단과 제2신호선구동수단
 280 : 제1신호출력단자 290 : 제2신호출력단자
 CK1 : 제1클럭 CK2 : 제2클럭
 D : 영상신호입력단자 D1 : 제1영상신호출력단자 D2 : 제2영상신호출력단자
 D3 : 제3영상신호출력단자 C1 : 제1제어신호출력단자 C2 : 제2제어신호출력단자
 C3 : 제3제어신호출력단자
 d1, d2, d3, d4, d5, d6, d7, d8, d9, d10 : 영상신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 구동회로에 있어서, 신호선구동 IC에 영상신호를 인가하여 래치시킬 때 필요한 구동클럭의 주파수를 낮춰 액정표시장치의 구동회로 및 주변장치의 부하를 줄여 성능향상을 도모하고, 동작신뢰성을 높이는 데에 목적이 있다.

현재 표시장치 중, 가장 많이 사용되고 있는 것은 CRT 브라운관이다. 그러나, CRT브라운관을 채용한 표시장치는 표시영역을 크게 하기위해 대형화할수록 부피가 점점 더 커지고, 무게도 무거워져 설치면적이 넓어지고 휴대하기 어려운 단점이 있다. 그래서, 장래 많은 수요가 예상되고 있는 벽걸이형 TV나, 휴대용 컴퓨터의 모니터와 같은 표시장치로는 적합치 않다.

이러한 CRT브라운관의 단점을 극복하고자 동일한 표시영역의 CRT브라운관에 비해 두께가 얇고 무게가 가벼운 평판형 표시장치들이 개발되고 있는 중이다. 이러한 평판형 표시장치에는 액정표시장치(LCD:Liquid Crystal Display)와 플라즈마디스플레이패널(PDP:Plasma Display Panel) 등이 있는데, 현재 가장 실용화율이 높은 것은 액정표시장치이다.

이러한 액정표시장치의 개략적인 구조는 도1과 도2에 나타낸 것과 같다. 도1은 액정표시장치의 일부분을 나타낸 사시도이고, 도2는 도1의 액정표시장치에서 하판의 구조를 나타낸 것이다. 액정표시장치는 편광판(20)과 칼라필터(22) 및 공통전극(23)이 부착된 상판(21)과; 박막트랜지스터(13)와 화소전극(26)이 형성된 하판(25)과; 상기 상판과 하판 사이에 액정(24)이 주입된 구조로 되어있다. 상기 하판은 복수개의 주사선(14)과 신호선(15)이 직교하여 형성되고, 상기 주사선과 신호선이 교차하는 교차부에는 교차부마다 화소(16)와 박막트랜지스터가 형성되어 있다. 상기 화소(16)는 화소전극(26)과 공통전극(23) 및 그 사이에 주입된 액정(24)을 칭한다. 또, 상기 하판(25)에는 상기 신호선(15)에 연결된 신호선구동 IC(11)와 상기 주사선(14)에 연결된 주사선구동 IC(10)가 부착되어 있다.

상기 박막트랜지스터(13)는 도면에는 나타내지 않았지만, 게이트전극과 소스전극 및 드레인전극을 포함하여 구성되어 있는데, 상기 게이트전극은 상기 주사선에 연결되어 있고, 상기 소스전극은 상기 신호선에 연결되어 있으며, 상기 드레인전극은 상기 화소전극에 연결되어 있다. 그리고, 상기 소스전극과 드레인전극 사이는 반도체층으로 연결되어 있어 게이트전극에 전압이 인가되었을 때에 상기 반도체층을 통해 소스전극과 드레인전극 사이에 전류가 흐른다.

상기 하판에 부착된 주사선구동 IC(10)와 신호선구동 IC(11)는 PCB기판과 같은 외부에 구성된 콘트롤러 IC(17)로부터 제어신호와 영상신호를 인가받는다.

상기 도1과 도2에 도시한 액정표시장치는 다음과 같이 동작한다. 먼저 콘트롤러 IC(17)로부터 소정의 주기로 영상신호가 신호선구동 IC(11)로 인가된다. 상기 영상신호는 R(Red), G(Green), B(Blue)에 해당하는 화소전극(26)에 인가될 계조정보를 담고 있다. 그리고, 상기 상판(21)의 공통전극(23)에는 항상 일정한 전압이 걸려 상기 화소전극(26)과 공통전극 사이에 일정한 전압차를 유지시킨다. 상기 신호선구동 IC는 상기 콘트롤러 IC로부터 인가되는 상기 영상신호를 내장된 래치회로(도면미도시)에 래치하다가 한 수평라인(line) 분(分)의 영상신호가 신호선구동 IC에 모두 래치되면, 상기 한 수평라인 분(分)의 영상신호를

상기 하판(25)의 신호선(15)으로 한꺼번에 인가한다. 이 때, 상기 콘트롤러 IC(17)로부터 인가되는 동작 신호에 의해 주사선구동 IC(10)는 상기 영상신호가 인가될 화소전극(26)에 연결된 박막트랜지스터(13)의 게이트전극과 연결된 주사선(14)으로 주사전압을 인가한다.

상기 주사전압이 주사선에 인가되면, 상기 주사전압이 인가된 주사선에 연결된 박막트랜지스터는 도통(on)하게 되어 상기 소스전극에 연결된 신호선에 흐르던 영상신호가 상기 반도체층을 통해 드레인전극에 인가된다. 그러면, 상기 드레인전극과 연결된 화소전극에 전압이 인가되어 상기 상판의 공통전극과 화소전극 사이에 전압차가 변하게 된다. 이 때, 상기 공통전극과 화소전극 사이의 액정(24)의 분자배열이 바뀌게 되어 광투과율이 변화하게 되는데, 이러한 광투과율의 변화로 인해 액정표시장치가 영상을 나타내게 된다.

그런데, 일반적으로 액정표시장치는 해상도가 높을수록 신호선의 개수가 많기 때문에 도3에 나타난 것과 같이 복수개의 신호선구동 IC(11)가 설치되어 있다. 그리고, 상기 복수개의 신호선구동 IC는 하나의 공통배선(18)으로 콘트롤러 IC와 연결되어 있다. 그래서, 상기 공통배선(18)을 통해 콘트롤러 IC(17)로부터 하나의 도트(dot)에 해당하는 영상신호를 차례로 인가받아 래치하고, 하나의 라인(line)에 해당하는 영상신호가 모두 래치되면 상기 신호선(15)으로 한꺼번에 출력한다.

그런데, 상기 복수개의 신호선구동 IC에 모두 영상신호가 래치되려면 콘트롤러 IC(17)는 매우 빠른 속도로 영상신호를 출력해야 한다. 즉, 콘트롤러 IC의 동작주파수가 높아야 한다는 것이다. 이렇게 높은 동작주파수는 신호선구동 IC와 주변 디바이스에 상당한 전기적 부하를 주며, 또 고주파로 인한 전자파장애(EMI)도 무시 못할 정도의 양에 이른다.

그래서, 이러한 문제점을 해결하기 위하여 종래에는 도4와 같이 액정표시장치를 분할구동하는 방법과 도5와 같이 신호선구동 IC를 하판의 상,하 두 부분에 설치하는 더블뱅크(double bank) 구조로 액정표시장치를 설계하는 방법을 사용했었다.

상기 도4의 분할구동 액정표시장치는 상기 복수개로 설치된 신호선구동 IC를 A와 B의 두 부분으로 그룹화하여 영상신호를 각 그룹화된 신호선구동 IC에 인가하여 래치시키는 방법이다. 상기 분할구동 액정표시장치의 동작을 설명하면 다음과 같다. 먼저 콘트롤러 IC에 첫 번째 라인(line)의 영상신호가 인가되면, 콘트롤러 IC는 A 영역에 해당하는 영상신호와 B영역에 해당하는 영상신호를 콘트롤러 IC(17)에 내장된 메모리(도면미도시)에 차례로 저장하고, 다음번째 라인(line)의 영상신호가 인가될 때 상기 메모리에 저장되었던 첫 번째 라인의 영상신호가 각각 A와 B의 신호선구동 IC에 동시에 인가되어 래치된다. 따라서, 상기 도3의 액정표시장치 구동회로에 비해 구동주파수를 절반으로 줄일 수 있다.

또, 상기 도5에 나타난 더블뱅크(double bank) 구조의 액정표시장치는 홀수열의 신호선에 연결된 신호선구동 IC(32)와 짝수열의 신호선에 연결된 신호선구동 IC(33)를 따로 설치하고, 상기 홀수열의 신호선구동 IC(32)와 짝수열의 신호선구동 IC(33)에 영상신호를 동시에 인가하여 래치시킴으로써 상기 도3의 액정표시장치의 구동회로에 비해 구동주파수를 절반으로 줄인다.

본 발명이 이루고자 하는 기술적 과제

그러나, 상기 도4의 분할구동액정표시장치는 영상신호를 저장시켜야 하는 메모리가 많이 필요하다는 단점이 있다. 그 이유는 액정표시장치의 해상도가 높아질수록 신호선의 개수가 증가하게 되므로, 결국 하나의 라인(line)에 인가될 화소의 개수가 많아져 상기 메모리가 저장해야 하는 영상신호의 양이 많아지기 때문이다. 이러한 단점을 극복하기 위해서는 액정표시장치의 화소영역을 더 많이 분할하여 메모리가 담당해야 하는 영상신호의 양을 줄여야 하지만, 화소영역을 두 개이상 분할하면 주변의 배선이 복잡해진다는 단점이 있다.

또한, 상기 도5의 더블뱅크 구조의 액정표시장치는 기판의 이용효율이 떨어진다는 단점이 있다. 그 이유는 더블뱅크 구조는 하판에서 박막트랜지스터와 화소전극이 위치할 영역이 싱글뱅크 구조에 비해 좁아지기 때문이다. 특히, 신호선구동 IC를 하판 위에 직접 실장시키는 COG(Chip On Glass)방식을 사용할 때, 상술한 단점은 더욱 심해진다.

그러므로, 싱글뱅크(single bank) 구조를 가지면서 구동주파수를 절반이하로 줄일 수 있는 액정표시장치를 설계할 필요가 있는 것이다.

본 발명의 구성 및 작용

본 발명은 도6에 나타난 것과 같이 액정표시장치의 표시영역(100)을 여러개로 분할하여 그 분할된 영역 각각에 신호선구동 IC(120)를 설치하고, 각 신호선구동 IC를 하나씩 걸러 그룹화하여 각 그룹에 영상신호를 동시에 인가하여 래치할 수 있는 구동회로를 설계하여 싱글뱅크(single bank) 구조를 가지면서 종래보다 절반의 구동주파수로 액정표시장치를 구동할 수 있는 구동회로이다. 본 발명의 액정표시장치 구동회로의 구조를 좀 더 자세히 설명하면, 다음과 같다.

본 발명은 외부로부터 제1클럭신호를 인가받아 상기 제1클럭신호의 2배의 주기를 갖는 제2클럭신호를 출력하는 클럭제어수단과; 상기 제1클럭신호의 첫 번째 주기에 인가되는 제1영상신호와, 상기 제1클럭신호의 두 번째 주기에 인가되는 제2영상신호를 저장하는 신호저장수단과; 상기 클럭제어수단에서 출력된 제2클럭신호의 주기에 따라 상기 신호저장수단에 저장된 제1영상신호와 제2영상신호를 출력하고, 동시에 제1제어신호와 제2제어신호를 출력하는 신호인가수단을 포함하여 이루어지는 액정표시장치의 구동회로이다.

본 발명의 구동회로를 상세히 살펴보면, 도7과 같이 클럭입력단자와 클럭출력단자로 구성되어 소정의 주기를 갖는 제1클럭신호($\phi K1$)를 클럭입력단자를 통해 입력받아 상기 제1클럭신호의 2배의 주기를 갖는 제2클럭신호($\phi K2$)를 클럭출력단자에 출력하는 클럭제어수단(200)과; 신호입력단자(D)와 제1영상신호출력단자(D1) 및 제1제어신호출력단자(C1)와 제2영상신호출력단자(D2) 및 제2제어신호출력단자(C2)로 구성되어, 상기 제1클럭신호에 동기하여 신호입력단자를 통해 순차적으로 제1영상신호와 제2영상신호를 인가받

아 상기 제2클럭신호의 첫 번째 주기에 동기하여 제1영상신호를 제1영상신호출력단자로 출력하고 제1제어신호를 제1제어신호출력단자로 출력하고 동시에 제2영상신호를 제2영상신호출력단자로 출력하고 제2제어신호를 제2제어신호출력단자로 출력하는 신호제어수단(210)과; 상기 제1제어신호출력단자와 연결된 제1구동단자(B1)와, 상기 제1영상신호출력단자와 연결된 제1신호단자(A1), 및 제1신호출력단자(280)로 구성되고, 상기 제1구동단자로부터 인가되는 상기 제1제어신호에 의해 상기 제1신호단자로부터 제1영상신호를 인가받아 제1신호출력단자로 상기 제1영상신호를 출력하는 제1신호선구동수단(240)과; 상기 제2제어신호출력단자와 연결된 제2구동단자(B2)와 상기 제2영상신호출력단자와 연결된 제2신호단자(A2) 및 제2신호출력단자(290)로 구성되고, 상기 제2구동단자로부터 인가되는 상기 제2제어신호에 의해 상기 제2신호단자로부터 제2영상신호를 인가받아 제2신호출력단자로 상기 제2영상신호를 출력하는 제2신호선구동수단(250)으로 이루어져 있다. 이 때, 상기 신호제어수단(210)은 제1클럭신호의 첫 번째와 두 번째 주기에 순차적으로 인가된 제1영상신호와 제2영상신호를 저장하는 저장수단(230)과; 제2클럭신호의 첫 번째 주기동안 상기 제1영상신호와 제2영상신호를 동시에 출력하고, 상기 제1영상신호와 제2영상신호를 출력하는 동안 제1클럭신호의 세 번째 주기와 네 번째 주기에 제3영상신호와 제4영상신호를 순차적으로 상기 저장수단(230)에 인가하도록 하는 제어수단(220)으로 구성되어 있다. 상기 저장수단과 제어수단 및 클럭제어수단은 하나의 IC에 집약되어 설계될 수 있다. 그리고, 상기 제1신호선구동수단과 제2신호선구동수단은 각각 복수개의 신호선구동 IC로 구성되어 서로 인접하여 설치되지만, 도7에 나타난 것과 같이 제1신호선구동수단에 해당하는 신호선구동 IC와 제2신호선구동수단에 해당하는 신호선구동 IC가 하나씩 한 조(270)로 설치된다.

상기 본 발명의 구동회로의 동작을 도8에 나타낸 파형을 참조하여 설명하도록 하겠다. 먼저 컴퓨터와 같은 외부 입력장치에서 액정표시장치의 제1영역의 n번째 열에 표시될 한 도트(dot)분의 제1영상신호(d1)와 제2영역의 m번째 열에 표시될 한 도트(dot)분의 제2영상신호(d2)가 신호입력단자를 통해 입력되어 콘트롤러 IC의 저장수단에 순차적으로 저장된다. 이 때, 상기 n번째 열의 제1영상신호(d1)와 m번째 열의 제2영상신호(d2)는 제1클럭에 동기하여 저장된다. 그리고, 콘트롤러 IC의 클럭제어수단에 의해 상기 제1클럭의 2배의 주기를 갖는 제2클럭이 제1신호선구동수단과 제2신호선구동수단에 출력된다. 이 때, 상기 제2클럭에 동기하여 상기 n번째 열의 제1영상신호(d1)는 제1영상신호출력단자를 통해 제1신호선구동수단(240)에 인가되고, 상기 m번째 열의 제2영상신호(d2)는 제2영상신호출력단자를 통해 제2신호선구동수단(250)에 인가된다. 이러한 제1영상신호(d1)와 제2영상신호(d2)는 동시에 출력된다.

상기 n번째 열의 제1영상신호와 m번째 열의 제2영상신호가 제2클럭에 동기하여 동시에 출력되는 동안, n+1번째 열의 제1영상신호(d3)와 m+1번째 열의 제2영상신호(d4)가 제1클럭에 동기하여 신호입력단자를 통해 차례로 입력되어 상기 콘트롤러 IC의 저장수단에 저장된다. 이 때, 상기 제2클럭의 1 주기는 상기 제1클럭의 2 주기에 해당하므로, 상기 n번째 열의 제1영상신호(d1)와 m번째 열의 제2영상신호(d2)의 출력과 상기 n+1번째 열의 제1영상신호(d3)와 m+1번째 열의 제2영상신호(d4)의 입력은 동시에 이루어진다.

상기 n번째 열의 제1영상신호(d1)와 m번째 열의 제2영상신호(d2)가 제2클럭에 동기하여 콘트롤러 IC로부터 동시에 출력되면, 상기 제1신호선구동수단과 제2신호선구동수단의 신호선구동 IC에는 상기 n번째 열의 제1영상신호와 m번째 열의 제2영상신호가 동시에 래치(latch)된다. 상기 n번째 열의 제1영상신호와 m번째 열의 제2영상신호가 래치된 제2클럭의 다음 주기에는 n+1번째 열의 제1영상신호(d3)와 m+1번째 열의 제2영상신호(d4)가 신호선구동 IC에 계속해서 래치(latch)된다. 그래서, 액정표시장치의 한 라인(line)에 해당하는 제1영상신호와 제2영상신호가 모두 래치되면 상기 제1영역과 제2영역의 신호선구동 IC는 모든 신호선으로 동시에 상기 영상신호를 출력한다.

본 발명의 구동회로는 영역을 두부분으로 나누는 것뿐만 아니라 그 이상으로 나누어 동작할 수도 있다. 도9는 액정표시장치의 표시영역을 제1영역(A)과 제2영역(B) 및 제3영역(C)의 세부분으로 나누어 영상신호를 인가하는 구동회로를 나타낸 것이다. 그리고, 도10은 도9의 구동회로에 인가되는 신호의 파형을 나타낸 것이다. 콘트롤러 IC(200)는 제1클럭에 동기하여 영상신호를 입력받아 제2클럭에 동기하여 제1영역과 제2영역 및 제3영역의 신호선구동 IC(240, 250, 260)로 동시에 영상신호를 인가한다. 그러므로, 상기 도9의 구동회로는 콘트롤러 IC(200)에 인가되는 영상신호의 입력주기에 해당하는 제1클럭에 비해 각 신호선구동 IC에 인가되는 영상신호의 래치주기인 제2클럭의 주기를 3배이상 길게 할 수 있다. 즉, 상기 제1클럭에 비해 제2클럭의 주기를 n배로 하게 되면, n개의 영상신호를 동시에 래치할 수 있다.

발명의 효과

본 발명의 구동회로는 콘트롤러 IC에 메모리와 같은 저장수단이 포함되어 있어 외부에서 입력되는 영상신호를 일시적으로 저장하였다가 출력한다. 이 때, 영상신호를 입력받을 때에는 소정의 주기를 갖는 입력클럭에 동기하고, 출력할 때에는 상기 입력클럭의 두배 이상의 주기를 갖는 출력클럭에 동기한다. 그러므로, 신호선구동 IC가 영상신호를 래치하는 구동주파수는 절반이하로 줄어들게 된다.

그래서, 본 발명의 구동회로는 구동주파수가 2배이상 낮으므로, 높은 구동주파수로 인해 더블뱅크(double bank)구조로 신호선구동 IC를 구성해야 했던 종래의 구동회로와 달리 싱글뱅크(single bank)구조로 신호선구동 IC를 구성할 수 있다. 뿐만 아니라 종래의 분할구동 액정표시장치보다 콘트롤러 IC에 저장되는 메모리 크기가 줄어드므로, 콘트롤러 IC의 설계 시, 시간계수기(Timing Counter)의 오류 발생 가능성도 최소화 시킬 수 있다.

(57) 청구의 범위

청구항 1. 액정표시장치의 구동회로에 있어서,

외부로부터 제1클럭신호를 인가받아 상기 제1클럭신호의 2배의 주기를 갖는 제2클럭신호를 출력하는 클럭제어수단과;

상기 제1클럭신호의 첫 번째 주기에 인가되는 제1영상신호와, 상기 제1클럭신호의 두 번째 주기에 인가되는 제2영상신호를 저장하는 신호저장수단과;

상기 클럭제어수단에서 출력된 제2클럭신호의 주기에 따라 상기 신호저장수단에 저장된 제1영상신호와 제2영상신호를 출력하고, 동시에 제1제어신호와 제2제어신호를 출력하는 신호인가수단으로 이루어진 액정표시장치의 구동회로.

청구항 2. 제1항에 있어서, 상기 제1영상신호와 제1제어신호를 인가받아 신호전압을 출력하는 제1신호선구동수단과, 상기 제2영상신호와 제2제어신호를 인가받아 신호전압을 출력하는 제2신호선구동수단이 포함된 액정표시장치의 구동회로.

청구항 3. 제1항에 있어서, 상기 신호저장수단은 상기 제1클럭신호의 주기에 따라 제1영상신호와 제2영상신호를 저장하는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 4. 액정표시장치의 구동회로에 있어서,

외부로부터 제1클럭신호를 인가받아 상기 제1클럭신호의 3배의 주기를 갖는 제2클럭신호를 출력하는 클럭제어수단과;

상기 제1클럭신호의 첫 번째 주기에 인가되는 제1영상신호와, 상기 제1클럭신호의 두 번째 주기에 인가되는 제2영상신호와, 상기 제1클럭신호의 두 번째 주기에 인가되는 제3영상신호를 저장하는 신호저장수단과;

상기 클럭제어수단에서 출력된 제2클럭신호의 주기에 따라 상기 신호저장수단에 저장된 제1영상신호와 제2영상신호 및 제3영상신호를 출력하고, 동시에 제1제어신호와 제2제어신호 및 제3제어신호를 출력하는 신호인가수단으로 이루어진 액정표시장치의 구동회로.

청구항 5. 제4항에 있어서, 상기 제1영상신호와 제1제어신호를 인가받아 신호전압을 출력하는 제1신호선구동수단과, 상기 제2영상신호와 제2제어신호를 인가받아 신호전압을 출력하는 제2신호선구동수단과, 상기 제3영상신호와 제3제어신호를 인가받아 신호전압을 출력하는 제3신호선구동수단이 포함된 액정표시장치의 구동회로.

청구항 6. 제4항에 있어서, 상기 신호저장수단은 상기 제1클럭신호의 주기에 따라 제1영상신호와 제2영상신호 및 제3영상신호를 저장하는 것을 특징으로 하는 액정표시장치의 구동회로.

청구항 7. 액정표시장치의 구동회로에 있어서,

외부로부터 제1클럭신호를 인가받아 상기 제1클럭신호의 n배의 주기를 갖는 제2클럭신호를 출력하는 클럭제어수단과;

상기 제1클럭신호의 첫 번째 주기부터 n번째 주기에 인가되는 n개의 영상신호를 저장하는 신호저장수단과;

상기 클럭제어수단에서 출력된 제2클럭신호의 주기에 따라 상기 신호저장수단에 저장된 n개의 영상신호를 출력하고, 동시에 n개의 제어신호를 출력하는 신호인가수단으로 이루어진 액정표시장치의 구동회로.

청구항 8. 제7항에 있어서, 상기 n개의 영상신호 중 어느 하나와, 상기 n개의 제어신호 중 어느 하나를 인가받아 신호전압을 출력하는 신호선구동수단이 n개가 포함된 액정표시장치의 구동회로.

청구항 9. 제7항에 있어서, 상기 신호저장수단은 상기 제1클럭신호의 주기에 따라 영상신호를 차례로 저장하는 것을 특징으로 하는 액정표시장치의 구동회로.

도면

도면1

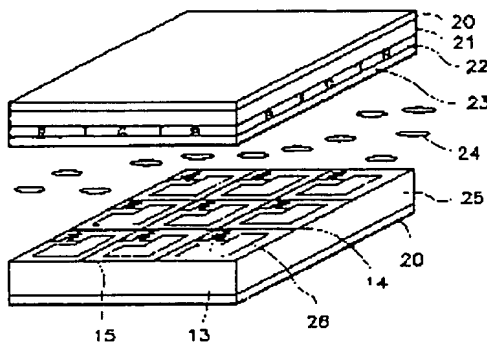


図 2

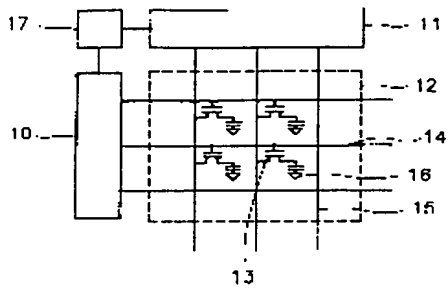


図 3

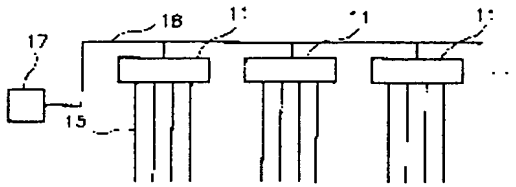


図 4

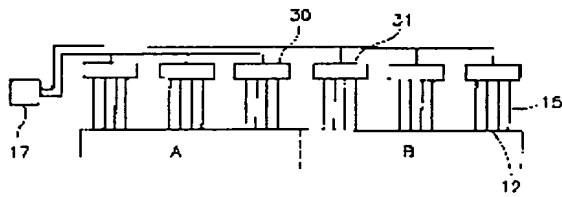


図 5

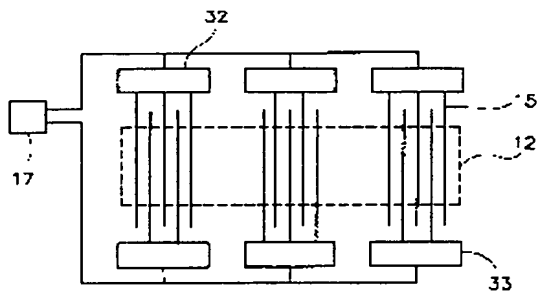


図 6

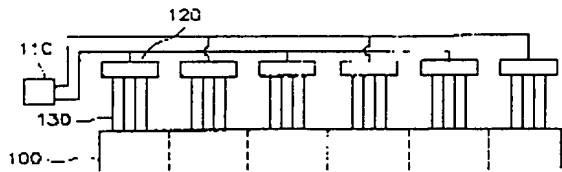


图 27

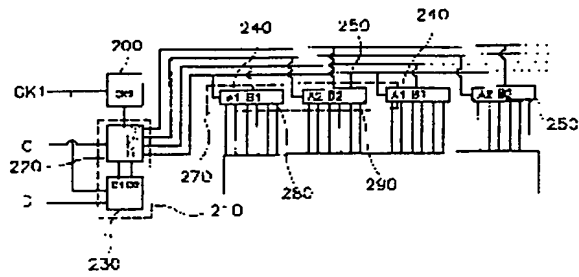


图 28

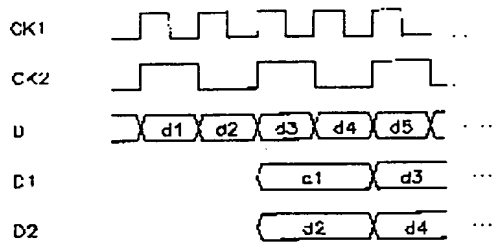


图 29

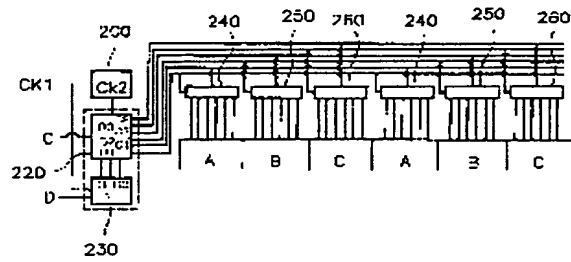
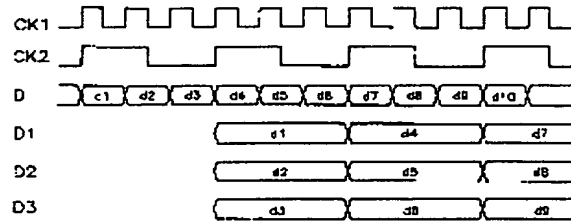


图 30



(19) Korean intellectual property office (KR)

(12) Patent Application Publication Gazette (A)

(51) Int. Cl. ⁶ G09G 3/36	(11) Publication No. Pat.1998-083650 (43) Publication date Dec. 5, 1998
(21) Application No.	Pat. 1997-019027
(22) Application date	May 16, 1997
(71) Applicant	LG Electronics, Inc. KU, Ja-Hong Youido-dong 20, Yeongdeungpo-ku, Seoul
(72) Inventor	SHIN, Min-Chul Junwon livingphil APT 101-208, Bisan-dong 489-1, Kumi, Geongsangbuk-do
(74) Representative	PAEK, Seung-Nam • NA, Chun-Yul
<i>Request for Examination</i>	Yes

(54) DRIVING CIRCUIT OF LIQUID CRYSTAL DISPLAYING DEVICE

Abstract

The present invention relates to a driving circuit of liquid crystal displaying device; and, more particularly, to a driving circuit lowering a driving frequency in latching a video signal to a signal line driving integrated circuit (IC) in order to applying a video signal to liquid crystal displaying device.

In conventional liquid crystal displaying device, a driving frequency is high and leads to many electrical loads on a signal line driving IC to thereby get the operation of the liquid crystal displaying device unstable, and correspondingly the signal line driving IC is to be installed in the configuration of a double bank, or there has been used a way of latching a video signal to the signal line driving IC connected to a signal line of each partitioned area after partitioning a displaying area of the liquid crystal displaying device into two. Therefore, there are caused problems that the efficiency of a board of the liquid crystal displaying device gets lower and a high capacity of memory gets needed due to the partition of the video signal.

In accordance with the present invention, the displaying area of the liquid crystal displaying device is partitioned into as many areas as the number of the signal line driving IC and each area is combined with a plurality of blocks. A controller IC provides a video signal inputted from the exterior in synchronization with a first clock to each block at the same time in synchronization with a second clock having two or more times longer cycle than the first clock. The video signal is latched to the signal line driving IC connected to each block at the same time in synchronization with the second clock. Consequently, the signal line driving IC is possible to drive at a lower driving frequency in accordance with the present invention than the conventional invention. In

accordance with the present invention, a driving circuit allows a liquid crystal displaying device to be made up in the configuration of a single bank, whereby the efficiency of a board is increased and also it is possible to design the driving circuit having the small size of memory built-in compared with a partition driving liquid crystal displaying device.

Representative Drawing

Fig. 7

Specification

Brief Description of the Drawings

Fig. 1 shows a structure of a general liquid crystal displaying device partly;

Fig. 2 shows a structure of a bottom board of a liquid crystal displaying device roughly;

Fig. 3 shows a liquid crystal displaying device including a signal line driving IC;

Fig. 4 shows a partition driving liquid crystal displaying device;

Fig. 5 shows a liquid crystal displaying device in the configuration of a double bank;

Fig. 6 shows a liquid crystal displaying device roughly in accordance with the present invention;

Fig. 7 is a block diagram showing a driving circuit of a liquid crystal displaying device in accordance with the present invention;

Fig. 8 shows a waveform of a signal provided to a driving circuit in accordance with the present invention;

Fig. 9 illustrates another embodiment in accordance with the present invention; and

Fig. 10 shows a waveform of a signal provided to a liquid crystal displaying device and a driving circuit shown in the Fig. 9.

Description of Reference numerals in the Drawings

10 : Scanning line driving IC 11 : Signal line driving IC 12 : Liquid crystal panel

13 : Thin film transistor 14 : Scanning line 15 : Signal line

16 : Pixel 17 : Controller IC 18 : Common wiring

20 : Polarizing plate 21 : Second board (upper board) 22 : Color filter

23 : Common electrode 24 : Liquid crystal 25 : First board (Bottom board)

26 : Pixel electrode 30 : Signal line driving IC of area A

31 : Signal line driving IC of area B

32 : Signal line driving IC of odd number column

33 : Signal line driving IC of even number column

100 : Displaying area of liquid crystal panel (separated area)

110 : Controller IC 120 : Signal line driving IC

130 : Signal line 200 : Clock control means 210 : Signal control means

220 : Signal provision means 230 : Signal storage means 240 : First signal line driving means

250 : Second signal line driving means 260 : Third signal line driving means

270 : A set of first signal line driving means and second signal line driving means

280 : First signal output terminal 290 : Second signal output terminal

CK1 : First clock CK2 : Second clock

D : Video signal input signal D1 : First video signal output terminal D2 : Second video signal output terminal

D3 : Third video signal output terminal C1 : First control signal output terminal C2 : Second control signal output terminal

C3 : Third control signal output terminal

d1, d2, d3, d4, d5, d6, d7, d8, d9, d10 : Video signal

Detailed Description of the Preferred Embodiments

Object of the Invention

Field of the invention and Description of the prior Art

It is an object of the present invention to provide a driving circuit of a liquid crystal displaying device of high performance and increased operation reliability by lowering a frequency of a driving clock needed in providing and latching a video signal to a signal line driving integrated circuit (IC) thereby reducing loads to the driving circuit of the liquid crystal displaying device and peripheral devices.

Currently, a cathode ray tube (CRT) is most commonly employed for displaying devices. However, the bigger the size of a displaying device employing the CRT gets in order to enlarge a displaying area, the bigger and heavier the volume and the weight gets, and thus there follows a disadvantage that installation area needs to get broadened and the device is unhandy to carry about. For that reason, the CRT-employing displaying device is not suitable for displaying devices such as a monitor of a wall rack type television or a portable computer which are expected to be in great demand in the future.

In order to overcome the above disadvantage of the CRT, they are in process of developing thin and light-weighted flat type displaying devices compared with a CRT of the same displaying area. This flat type displaying devices include a liquid crystal display (LCD), a plasma display panel (PDP) or the like and at present a utilization rate of the LCD is higher than any other displaying devices.

A rough structure of the above liquid crystal display (LCD) is shown in Fig. 1 and Fig. 2. Fig. 1 shows a structure of the LCD partly and Fig. 2 shows a structure of a bottom board of the LCD shown in Fig. 1 roughly. The LCD includes an upper board(21) which a polarizing plate(20), a color filter (22) and a common electrode(23) are attached to; a bottom board(25) which a thin film transistor(13) and a pixel

electrode(26) are formed on; and a liquid crystal(24) which is injected between the upper board and the bottom board. In the bottom board, a plurality of scanning lines(14) and signal lines(15) are orthogonally formed each other. A pixel(16) and a thin film transistor are formed on each cross part in which the scanning line and the signal line are crossed each other. The pixel(16) refers to the liquid crystal(24) which is injected into the pixel electrode(26), the common electrode(23), and there between. Also, a signal line driving IC(11) connected to the signal line(15) and a scanning line driving IC(10) connected to the scanning line(14) are attached to the bottom board(25).

Thin film transistor(13) not shown in the drawing includes a gate electrode, a source electrode, and a drain electrode, wherein the gate electrode, the source electrode, and the drain electrode are connected to the scanning line, the signal line, and the pixel electrode, respectively. And, a semiconductor layer is placed between the source electrode and the drain electrode, through which a current flows between the source electrode and the drain electrode when a voltage is provided to the gate electrode.

Both scanning line driving IC (10) and signal line driving IC(11) which are attached to the bottom board, receive a control signal and a video signal from the controller IC(17) configured in the exterior such as a print circuit board(PCB).

The LCD shown in the Fig. 1 and Fig. 2 is operated as follows. First, a video signal is provided from the controller IC(17) to the signal line driving IC(11) at a specific cycle. The video signal has gradation information to be provided to the pixel electrode(26) corresponding to a R(red), a G(green), and a B(blue). And, a regular voltage constantly flows to the common electrode(23) of the second board(upper board)(21), whereby a regular voltage difference is kept up between the pixel electrode(26) and the common electrode. The signal line driving IC latches the video signal from the controller IC to a built-in latch circuit(not shown) and in the meantime, if video signals for a horizontal line are all latched to the signal line driving IC, the video signals for the horizontal line are provided to the signal line(15) of the first board(Bottom board)(25) at a time. At this time, according to a operation signal from the controller(17), the scanning line driving IC(10) provides a scanning voltage to the scanning line(14) connected to the gate electrode of the TFT(13) to which the pixel electrode(26) to receive the video signal is connected.

When the scanning voltage is provided to the scanning line, the TFT connected to the scanning line turns "on," and a video signal which flows in the signal line connected to the source electrode, is provided to the drain electrode through the semiconductor layer. Then, a voltage is provided to the pixel electrode connected to the drain electrode and the voltage difference between the common electrode and the pixel electrode varies. At this time, a molecular arrangement of the liquid crystal(24) between the common electrode and the pixel electrode changes thereby causing light transmittance to change, whereby the LCD shows video.

Because the LCD of the high resolution generally needs the large number of signal lines, a plurality of signal line driving ICs(11) are installed as shown in the Fig. 3. The plurality of signal line driving ICs are connected to the controller IC with one common wiring(18), and receive and latch, in sequence, a video signal corresponding to one dot from the controller IC(17) through the common wiring(18), and when video signals corresponding to one line are all latched, the video signals are outputted to the signal

line(15) at a time.

In order to latch video signals to all the plurality of signal line driving ICs, the controller IC(17) is to output the video signals at a very high speed. In other words, an operation frequency of the controller IC is to be high. This high operation frequency brings considerable electrical loads to the signal line driving IC and peripheral devices, and also electromagnetic interference(EMI) due to the high frequency amounts to considerable quantity.

To overcome this problem, hence, there have conventionally been used a manner of partition-driving the LCD as shown in the Fig. 4 and a manner of designing the LCD in the configuration of the double bank installing the signal line driving IC at the top and the bottom part of the bottom board as shown in the Fig. 5.

In case of the partition driving LCD shown in the Fig. 4, there is employed a manner of grouping the plurality of signal line driving ICs into A and B parts and then providing and latching video signals to each grouped signal line driving IC. Description of the operation of the partition driving LCD is as follows. In case video signals of a first line are provided to the controller IC, the controller IC stores a video signal corresponding to an A area and a video signal corresponding to a B area in a built-in memory(not shown) therein(17) in sequence, and when video signals of next line are provided, the video signals of the first line stored in the above memory are provided and latched to an A and a B signal line driving ICs at the same time, respectively. Thus, the driving frequency is possible to reduce to a half as much as that in the driving circuit of the LCD shown in the Fig. 3.

The Fig. 5 shows an LCD in configuration of the double bank. The LCD includes a signal line driving IC(32) connected to a signal line of an odd number column and a signal line driving IC(33) connected to a signal line of an even number column, which are installed separately. The driving frequency is possible to reduce to a half as much as that in the driving circuit of the LCD shown in the Fig. 3 by providing and latching video signals to the signal line driving IC(32) and the signal line driving IC(33) at the same time.

Technical Problem to be Accomplished by the Invention

However, there is a disadvantage that much memory is needed to store the video signal in case of the partition driving liquid crystal displaying device shown in the Fig. 4. The reason is that the higher the resolution of the liquid crystal displaying device gets, the more the number of the signal line gets, and thus, the number of pixels to be provided to one line gets numerous thereby causing the quantity of video signal stored in memory to get numerous. In order to overcome this disadvantage, it is required to reduce the quantity of the video signal to be processed in the memory by partitioning a pixel area of the liquid crystal displaying device into much more, however partitioning the pixel area into two or more leads to a disadvantage that peripheral wiring get complicated.

Also, there is a demerit that the utility efficiency of the board is decreased in the liquid crystal displaying device in the configuration of the double bank shown in the Fig. 5.

The reason is that an area where the thin film transistor and the pixel electrode are to be placed on the bottom board, gets narrower in the configuration of the double bank than the single bank. Particularly, when there is used a chip on glass(COG) manner that the signal line driving IC is directly installed on the bottom board, the demerit mentioned above gets more serious.

Accordingly, it is necessary to design a liquid crystal displaying device in which it is possible to reduce a driving frequency to half or less even in the configuration of the single bank.

Composition and Function of the Invention

As shown in Fig.6, the present invention provides a driving circuit capable of driving a liquid crystal displaying device(LCD) at a half as much frequency as the conventional driving circuit, wherein it is performed to partition a displaying area(100) of into a plurality of areas and to install a signal line driving integrated circuit(IC) (120) in each partitioned area, and to group every other signal line driving IC and then to provide and latch video signals to each group at the same time. More detailed description of a driving circuit of an LCD in accordance with the present invention is as follows.

In accordance with the present invention, a driving circuit of a liquid crystal displaying device includes: clock control means outputting a second clock signal having two times longer cycle than a first clock signal in response to receiving the first clock signal from an exterior; signal storage means storing a first video signal provided at the first cycle of the first clock signal and a second video signal provided at the second cycle of the first clock signal; and signal provision means outputting the first video signal, the second video signal, a first control signal, and a second control signal at the same time according to a cycle of the second clock signal outputted from the clock control means.

Referring to Fig. 7 showing a driving circuit in accordance with the present invention, the driving circuit includes: clock control means(200) having a clock input terminal and a clock output terminal, receiving a first clock signal(CK1) having a specific cycle through the clock input terminal, and outputting a second clock signal(CK2) through the clock output terminal having two times longer cycle than the first clock signal;

signal control means(210) having a signal input terminal(D), a first video signal output terminal(D1), a first control signal output terminal(C1), a second video signal output terminal(D2), and a second control signal output terminal(C2), receiving, in sequence, a first video signal and a second video signal through the signal input terminal in synchronization with the first clock signal, and outputting at the same time the first video signal, the first control signal, the second video signal, and the second control signal to the first video signal output terminal, the first control signal output terminal, the second video signal output terminal, and the second control signal output terminal, respectively, in synchronization with first cycle of the second clock signal ;

first signal line driving means(240) having a first driving terminal(B1) connected to the first control signal output terminal, a first signal terminal(A1) connected to the first video signal output terminal, and a first signal output terminal(280), receiving the first video signal from the first signal terminal in response to the first control signal from the

first driving terminal, outputting the first video signal to the first signal output terminal;
and

second signal line driving means(250) having a second driving terminal(B2) connected to the second control signal output terminal, a second signal terminal(A2) connected to the second video signal output terminal, and a second signal output terminal(290), receiving the second video signal from the second signal terminal in response to the second control signal from the second driving terminal, outputting the second video signal to the second signal output terminal.

At this case, the signal control means(210) includes storage means(230) storing the first video signal and the second video signal provided in sequence at the first and the second cycle of the first clock signal; and control means(220) outputting the first video signal and the second video signal at the same time during the first cycle of the second clock signal, controlling provision of a third video signal and a fourth signal to the storage means(230) in sequence at the third and the fourth cycle of the first clock signal while outputting the first and the second signals. The storage means, the control means, and the clock control means are possible to integrate together on one integrated chip for design. The first signal line driving means and the second signal line driving means include a plurality of signal line driving ICs, respectively, and are adherently installed each other, however, the signal line driving IC corresponding to the first signal line driving means and the signal line driving IC corresponding to the second signal line driving means are installed one by one by a set as shown in Fig. 7.

Referring to Fig. 8, an operation of a driving circuit will be illustrated in accordance with the present invention. A first video signal(d1) for a dot and a second video signal(d2) for a dot are inputted through a signal input terminal from an external input device such as a computer and stored, in sequence, in storage means of a controller IC, wherein the first video signal and the second video signal are to be displayed at the n-th and the m-th columns of a first area and a second area of a liquid crystal displaying device, respectively. At this time, the first video signal(d1) and the second video signal(d2) of the n-th and the m-th columns are stored in synchronization with a first clock. And, a second clock having two times longer cycle than the first clock is outputted to a first signal line driving means and a second signal line driving means by a clock control means of the controller IC. At this time, the first video signal(d1) of the n-th column is provided to a first signal line driving means(240) through a first video signal output terminal and the second video signal(d2) of the m-th column is provided to a second signal line driving means(250) through a second video signal output terminal. The first video signal(d1) and the second video signal(d2) are outputted at the same time.

While the first video signal of the n-th column and the second video signal of the m-th column are outputted at the same time in synchronization with the second clock, a first video signal(d3) of the (n+1)-th column and a second video signal(d4) of the (m+1)-th column are inputted through the signal input terminal in synchronization with the first clock and stored, in sequence, in the storage means of the controller IC. At this time, since the first cycle of the second clock corresponds to the second cycle of the first clock, the output of both the first video signal(d1) of the n-th column and the second video signal(d2) of the m-th column and the input of both the first video signal(d3) of

the (n+1)-th column and the second video signal(d4) of the (m+1)-th column are performed at the same time.

In case the first video signal(d1) of the n-th column and the second video signal(d2) of the m-th column are outputted at the same time in synchronization with the second clock, the first video signal of the n-th column and the second video signal of the m-th column are latched in the signal line driving IC of the first signal line driving means and the second signal line driving means at the same time. During a next cycle of the second clock, the first video signal(d3) of the (n+1)-th column and the second video signal(d4) of the (m+1)-th column are latched in the signal line driving IC continuously. Thereupon, when all the first and the second video signals corresponding to a line of the liquid crystal displaying device(LCD) are latched, the signal line driving IC of the first area and the second area performs outputting the above video signals to all the signal lines at the same time.

In accordance with the present invention, it is also possible to operate the driving circuit in the manner of partitioning an area into more than two. Fig. 9 shows a driving circuit providing video signals in the manner of partitioning a displaying area of a liquid crystal displaying device into three areas of a first area(A), a second area(B), and a third area(C). Fig. 10 shows a waveform of a signal provided to the driving circuit shown in the Fig. 9. A controller IC(200) receives video signals in synchronization with a first clock and provides the video signals to respective signal line driving IC s(240,250,260) of a first area, a second area, and a third area in synchronization with a second clock. Therefore, by operating the driving circuit shown in the Fig. 9, it is possible to embody a second clock having three times longer cycle than a first clock, wherein the first clock corresponds to an input cycle of the video signals provided to the controller IC(200) and the second clock corresponds to a latch cycle of the video signals provided to the respective signal line driving IC. In other words, it is possible to latch the n number of video signals at the same time by making the cycle of the second clock n times longer than that of the first clock.

Effect of the Invention

A driving circuit in accordance with the present invention stores video signals from the exterior temporarily and output the signals by using storage means such as memory included in a controller IC. At this time, receiving the video signals from the exterior is performed by being synchronized with an input clock having a specific cycle and outputting the video signals is performed by being synchronized with an output clock having two or more times longer cycle than the input clock. Thus, a driving frequency at which a signal line driving IC latches the video signals is reduced to a half or less.

Since the driving frequency is two or more times lower in the driving circuit in accordance with the present invention, it is possible to form a signal line driving IC in the configuration of a single bank, differing from the conventional driving circuit which had to make up the signal line driving IC in the configuration of a double bank.

Moreover, since the size of memory placed in the controller IC is smaller than that of the conventional partition driving LCD, a possibility of error generation in a timing counter is possible to minimize in the design of the controller IC.

(57) What is claimed is:

Claim 1

A driving circuit of a liquid crystal displaying device, comprising:

clock control means outputting a second clock signal having two times longer cycle than a first clock signal in response to receiving the first clock signal from an exterior;

signal storage means storing a first video signal provided at the first cycle of the first clock signal and a second video signal provided at the second cycle of the first clock signal; and

signal provision means outputting the first video signal, the second video signal, a first control signal, and a second control signal at the same time according to a cycle of the second clock signal outputted from the clock control means.

Claim 2

The driving circuit as recited in claim 1, further comprising:

first signal line driving means outputting a signal voltage in response to receiving the first video signal and the first control signal; and second signal line driving means outputting a signal voltage in response to receiving the second video signal and the second control signal.

Claim 3

The driving circuit as recited in claim 1, wherein the signal storage means performs storing the first video signal and the second video signal according to a cycle of the first clock signal.

Claim 4

A driving circuit of a liquid crystal displaying device, comprising:

clock control means outputting a second clock signal having three times longer cycle than a first clock signal in response to receiving the first clock signal from an exterior;

signal storage means storing a first video signal provided at the first cycle of the first clock signal, a second video signal provided at the second cycle of the first clock signal, and a third video signal provided at the second cycle of the first clock signal; and

signal provision means outputting the first video signal, the second video signal, third video signal, a first control signal, a second control signal, and a third control signal at the same time according to a cycle of the second clock signal outputted from the clock control means.

Claim 5

The driving circuit as recited in claim 4, further comprising:

first signal line driving means outputting a signal voltage in response to receiving the first video signal and the first control signal; second signal line driving means outputting a signal voltage in response to receiving the second video signal and the second control signal; and third signal line driving means outputting a signal voltage in response to receiving the third video signal and the third control signal.

Claim 6

The driving circuit as recited in claim 4, wherein the signal storage means performs storing the first video signal, the second video signal, and the third video signal according to a cycle of the first clock signal.

Claim 7

A driving circuit of a liquid crystal displaying device, comprising:

clock control means outputting a second clock signal having n times longer cycle than a first clock signal in response to receiving the first clock signal from an exterior;

signal storage means storing n number of video signals provided at from the first to the n th cycle of the first clock signal; and

signal provision means outputting the n number of first video signal and n number of control signals at the same time according to a cycle of the second clock signal outputted from the clock control means.

Claim 8

The driving circuit as recited in claim 7, further comprising:

n number of signal line driving means, each outputting a corresponding signal voltage in response to receiving one of the n number of video signals and one of the number of control signals.

Claim 9

The driving circuit as recited in claim 7, wherein the signal storage means performs storing video signals in sequence according to a cycle of the first clock signal.